

パラメトロン加減乗算機の logic diagram

井 上 浩
但 田 武 次
溝 口 強

Logic diagram of Parametrons computer

Hiroshi INOUE
Takeji TADA
Tutomu MIZOGUTI

We tried to make a computer of 300 parametrons, and tested the respective operations by the logic diagram.

This report contains Input register, Main counter, Shifting counter, Sequencer, Control gate, Add-subtract gate, Comparator, Sign register, Multiplicand register, Accumulator, etc.

1. 結 言

パラメトロン約 300 ケを用い、入力を手動で入れるパラメトロン加減乗算機の試作が発表されている。この内容は 3 桁の数字の加算、減算、乗算の出来る十進法の小型電子計算機で実験用として試作するには手頃なものであるので、試作を思いついた。試作するに先だち、途中の動作を検査する都合上 logic diagram を作ってみたので、その結果を報告して参考に供したいと考える。

文献と同様 1 桁は Excess 3 code の 4 並列で表わして、数字の 3 桁は直列で表わす様にしている。

Accumulator は 7 桁とする必要があるが Multiplicand register は 3 桁としてある。

2. Input register (付録図—1 参照)

Excess 3 code は周知の様に

10進数字	0	1	2	3	4	5	6	7	8	9
表 示	1	0	1	0	1	0	1	0	1	0
	1	0	0	1	1	0	0	1	1	0
	0	1	1	1	1	0	0	0	0	1
	0	0	0	0	0	1	1	1	1	1

の如き表示となる。4 以下と 5 以上は互に補数となっているので補数を取る場合には便利であるが、Acc の桁上げに対しては補正する必要がある。押しボタンは

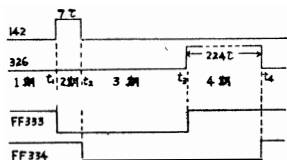
表示の 10 進数字を 4 並列に表示の信号を出す様接続すると同時に、押しボタンを押してあるか否かを表わすため図の最も下にパラメトロンを配しておいて乗算の時の桁送り動作を行わしめる。数字ボタンに対応せしめて chatter なく数字を送るため 102—202—302, 103—203—303, 104—204—304, 105—205—305 なる Flip-Flop を形成せしめてある。

3. Main Counter (付録図—2 参照)

Main Counter の 306—106—206 は常に 101010 を出す回路で、109 までは 8 進法となることを 109 から 206 へ帰還をかけて 7 進法としている。7 進法は 7 桁の 10 進数字を表わすために用いたものである。210 は 14 進となるので表示式に CRO 方式を取る都合上、210 より信号で鋸歯状波を発生して表示の時間軸を形成するこの動作は図—1 に表わす。312 は 28 進、113 は 56 進、214 は 112 進、316 は 224 進となっており、例えば 316 は 224 回に 1 回信号が出ることになる。実際には乗算の場合この 224 τ (τ は 1bit の信号の時間でこの場合は電源部の変調繰返し周波数 15kc のため $\frac{1}{15}$ msec となっている) の中、実際に動作している時間は最高 $9 \times 14 = 126\tau$ だけで他の 98 τ は休止していることを後で説明する。143 は 7 τ に 1 回だけ信号を出し、227—342 は 7 τ だけ信号が出て 7 τ だけ休みとなる。111—112—114—115 は夫々 2 倍の数となるので Decoder で 245 よ

演算を行い、次の 224τ のパルスにより4期が終了して1期にもどる。勿論 224τ の時間中に押しボタンを押しても影響を与えない。この動作を少し考えてみよう。

113—233—333を Flip Flop 1 とし、134—234—334を Flip Flop 2 と名付けよう。A105, A205 で FF—1, FF—2 を反転させるがその動作は図—3 の如くなる。即ち FF—1 は押しボタンを押した直後の 109 信号にて動作し、離れた時の直後の 109 信号で 0 となる。FF—2 は FF—1 より 7τ 遅れて動作し、又 FF—1 が 0 となって 224τ の後に 0 となる。よって 326 は 224τ の第4期だけ信号を与え、142—229 は 7τ の第2期の間だけ信号を与える。326 は Add—subtract gate 信号を与え、229 は MR の 7τ , 8τ の loop の切替えを行う。勿論 D 128 に信号が入ると shift は行われぬ。図—3 の如き動作が sequencer として要求される。



図—3

228 の論理式は

105	0	1	0	0	1	1	0	1
109	0	0	1	0	0	1	1	1
116	0	0	0	1	1	0	1	1
228	0	1	0	1	1	0	0	1

の如くなり、同様に

205	0	1	0	0	1	1	0	1
228	0	0	1	0	0	1	1	1
233	0	0	0	1	1	0	1	1
333	0	0	1	1	0	0	1	1
		t_3			t_1			
228	0	1	0	0	1	1	0	1
234	0	0	1	0	0	1	1	1
233	0	0	0	1	1	0	1	1
334	0	0	0	0	1	1	1	1
		t_2			t_4			

この中で t_1 で 233 が 1 から、333 は 0 に変わるの次の表示に t_1 と示してある。同様 t_3 では 233 が 0 から、333 は 1 に変わる必要があるがこの二つの関係と最上式の中から 105 と 205 が同一符号のものを探すと

105	0	1
109	0	1
116	1	0
228	1	0
	t_3	t_1

105 は押しボタンを押してある間は 1 であるので図—4 の如くなる。即ち t_3 の 109 のパルスは消す必要があ

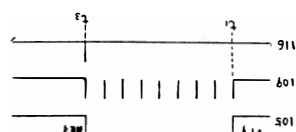
るので sequencer は図—5 の如くなる。

6. Control gate

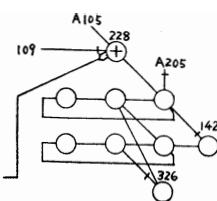
(付録図—3 参照)

124—224—324 は FF を形成しており、switch が add, subtract に接続される毎に反転し、MR clear と shift counter の reset を行った後、MR に信号

を入れる様にする。勿論 set に switch を入れた瞬間にも MR clear と shifting counter reset の後に MR に信号を入れる。



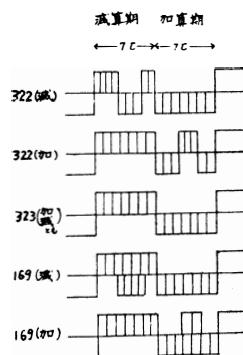
図—4



図—5

7. Add-subtract gate (付録図—3 参照)

F—326 に関係するもので押しボタンを離れた後の第4期の 224τ の間に Add—subtract が行なわれる。これを理解するには MR の動作を考えるとよい。MR では後に示す様に 7桁となっていて4本 (10進1桁は4並列の2進で表すため) 並列の必要があるが、これは2本の直列を並列にしたもので、2本の直列は各々4桁を直列にしたもので一循環する毎に反転する。単なる記憶の時には8桁を7桁にする様に MR 中で loop を作り、乗算の時には8桁にした後乗算する。即ち7桁を1桁 shift して加算してやる。図—6 にはこれを示しており、減算の時には前の 7τ の上下相殺する時のみ gate され、加算する時には後半 7τ の上下相殺する時のみ gate される。勿論加算の時 gate されない時には白い mask 信号となり、減算の時 gate されない時には黒い mask 信号となる。



図—6

8. Comparator

(付録図—3 参照)

乗算の時の G_1 の動作は次の如くなる。230—329—135—235—335 までは MR に入った数字を何回 Acc に入れるかを指定するもので押しボタン 3 を押せば 224τ の中 $3 \times 14\tau$ だけ信号が通過する。但し実際は半分が反転信号であるので、これは取らず $3 \times 7\tau$ だけ通

が入った時の Braun 管に 8 点, 4 点, 8 点が表わされる。

同様に図-10b は

I	181	1	0	1
	286	1	1	0
	392	0	1	0
	197	0	0	1
	3	6	9	

が入った時 Braun 管に表われる点の数を表わす。Acc の数字を CRO に表示する方法はこれで明になったと思う。239 では 14τ の信号を 7τ に制限する回路である。

9. Sign register

図-11に於いて main counter からの信号は B308, B309 に表われるが B143 は図の如くなる。これが sign register の 243, 242 に入る。F326 は第 4 期の動作であるので I-179 で桁上げ信号が来たときに 341, 145, 244

.....
.....

B 308 | | |
B 309 | | |
B 143 | | |

図-11 sign register 入力

数 字 1 が 入 る と

	1τ			2τ			3τ			4τ			5τ			6τ			7τ			7τ			14τ		
	I	II	III	I	II	III	I	II	III	I	II	III	I	II	III	I	II	III	I	II	III	I	II	III	I	II	III
1 桁	252	0		253	1		254	1		255	1		256	1		249	1		250	1					250	0	
	349	0		350	1		351	1		352	1		353	1		345	1		348	1					348	0	
	152	0		153	1		154	1		155	1		147	1		148	1		150	1					150	0	
2 桁	256	0		249	0		250	0		252	0		253	1		254	1		255	1					255	0	
	353	0		345	0		348	0		349	0		350	1		351	1		352	1					352	0	
	147	0		148	0		150	0		152	0		0	153	1	154	1		155	1					155	0	
3 桁	261	0		262	1		263	1		264	1		265	1		257	1		258	1					258	0	
	358	0		359	1		361	1		362	1		363	1		354	1		357	1					357	0	
	163	0		164	1		165	1		166	1		157	1		158	1		167	1					161	0	
4 桁	265	1		257	1		258	1		261	1		262	0		263	0		264	0					264	1	
	363	1		354	1		357	1		358	1		359	0		361	0		362	0					362	1	
	157	1		158	1		161	1		163	1		164	0		165	0		166	0					166	1	

故に 7τ では補数 8τ - 14τ までは真数を表示している。 図-12 MR の動作

2 の押しボタンを入れると, II 期の動作中の diagram は

	I II III			I II III			I II III			I II III			I II III			I II III			I II III		
1 桁	252	0		253	1		254	1		255	1		256	1		249	1		250	1	
	349	0		350	1		351	1		352	1		353	1		345	1		346	1	
	152	0		153	1		154	1		155	1		147	1		148	1		149	1	
2 桁	256	0		249	0		250	0		251	0		252	0		253	1		254	1	
	353	0		345	0		346	0		347	0		349	0		350	1		351	1	
	147	0		148	0		149	0		150	0		152	0		153	1		154	1	
3 桁	261	0		262	1		263	1		264	1		265	1		257	1		258	1	
	358	0		359	1		361	1		362	1		363	1		354	1		355	1	
	163	0		164	1		165	1		166	1		157	1		158	1		159	1	
4 桁	265	1		257	1		258	1		259	1		261	1		262	0		263	0	
	363	1		354	1		355	1		356	1		358	1		359	0		361	0	
	157	1		158	1		159	1		161	1		163	1		164	0		165	0	

前表と比較すると τ だけ (3τ のパラメロン伝送時間) 時間の遅れがあるので 1bit (1 桁) shift されたこととなる。

図-13 MR の動作

は反転する FF であって, 負数を表わす場合には CRT の表示は補数で表示せず真数で表わし, ただ CRT の上より表示する様になる。

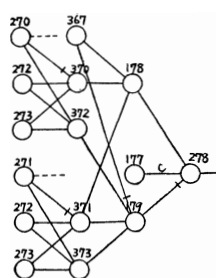
加算の時, 10 進最上位から桁上げ信号が出たら符号は正, 減算の時, 10 進最上位から桁上げ信号が出たら符号は負を表わす様にしている。

10. Multiplicand register (付録図-4 参照)

F-326 は第 4 期だけ信号を通してしめるもので, D127 は switch が set となっている時は 1 となるので, B-342 の信号は 144, 232, 332 を通り MR に入る。勿論 B210 で τ 時間だけ strobe される。A301, A302 はそのまま 151, 156 に入るが A303, A304 は not で 162 167 へ入っている。これは Acc の下の 2 桁が G137, G237 へ not で読み取られるので問題はないが, Acc の並列加算の桁上げ信号は not で入らないといけないの I175 より I277 へ上の桁から not で入れる様に する。D221 は信号を clear する。

例として 3 桁の Memory するものとし, set123 の時の動作を考える。(図-12, 図-13 参照) set で MR clear, shift reset の状態にあり, 1 が入ると

A301—0 0
A302—0 0
A303—1 not で入るため 0
A304—0 not で入るため 1

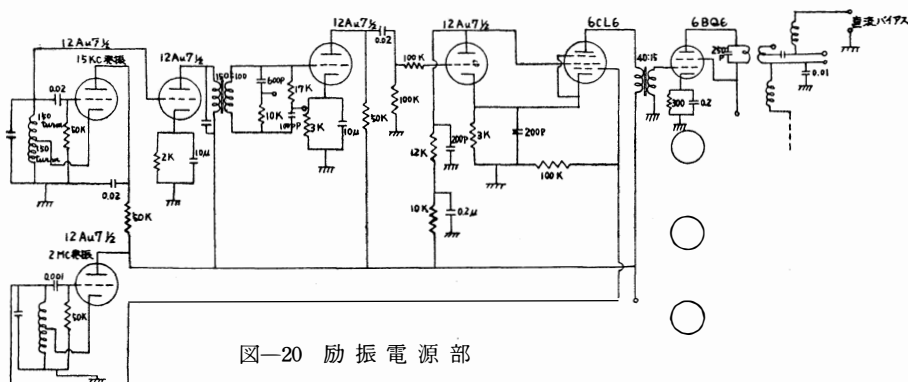


図—19

先回り加算を行う様になっている。勿論 123×456 の場合 MR には 123 を入れる時 1, 2, 3 の順序に MR を入れるが、456 を乗ずる時には 6, 5, 4 の順序に押しボタンを入れる必要があることは shift の原理からみて明になると思う。

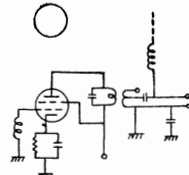
12. 励振部 (図—20参照)

パラメトロンを駆動するには相当の励振電力を必要とする。図—20 に於いて $12\text{AU}7\frac{1}{2}$ で 2MC を発振し、 $12\text{AU}7\frac{1}{2}$ で 15kc を発振する。次の $12\text{AU}7\frac{1}{2}$ は 15kc の緩衝増巾器で、出力を 120° 位相の異なる 3 相に分ける。従って次の増巾器は各相互に 3 ケの増巾器が上下に配置してある。以後は 1 相の増巾のみを表わしているが最後の $12\text{AU}7\frac{1}{2}$ は 15kc を矩形波とす



図—20 励振電源部

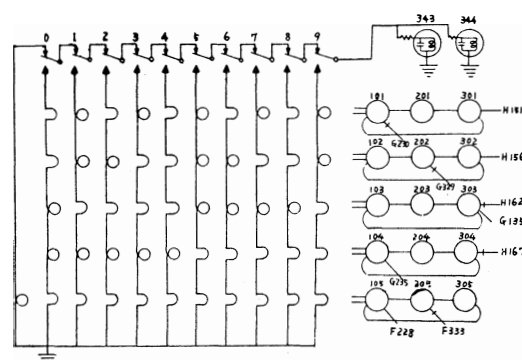
る回路で 6CL6 に於いて 2MC を変調する。後、6BQ6 で電力増巾する。一相について 6BQ6 を 2 ケ使用し、計 6 本の 6BQ6 を使用した。6BQ6 の出力は直流をパラメトロン素子に流すと共に励振電力を供給し、互に三相間に干渉しない様 choke を入れ、且つ condenser で接地している。300 ケのパラメトロンを駆動するに充分な出力を与えている。



3. トランジスタを用いたデジタル回路; エレクトロニクスダイジェスト, P113

13. 結 言

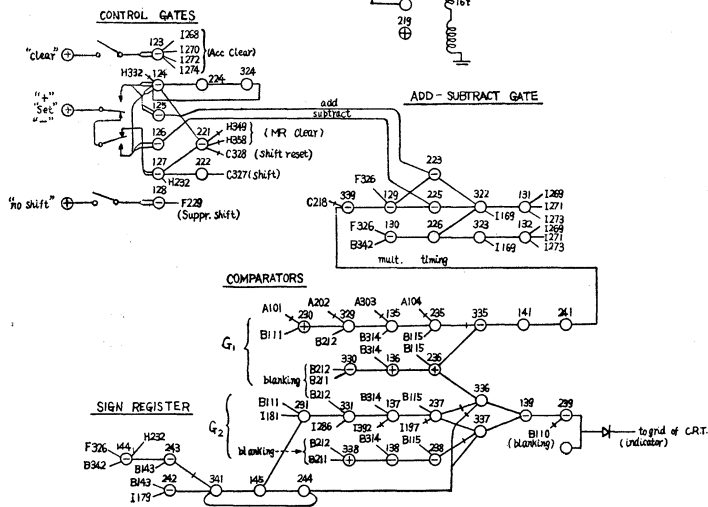
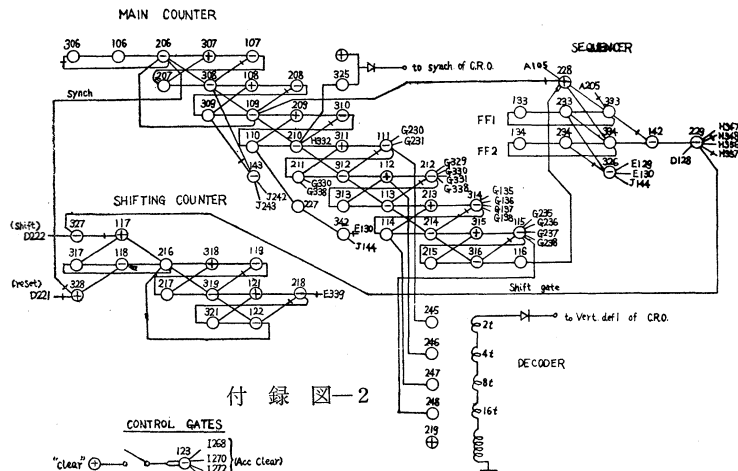
以上パラメトロン電子計算器のモデルセットを試作する都合上必要な logic diagram を呈して検討を試みており、目下試作中である。後で種々改良したき点が出てきている。例えば励振部に於いては 500kc より 1MC, 2MC を取り出した方が常数パラメトロンを数少なく出来そうであり、又 CRO 表示も楽になる様に考えられる。



付 録 図—1 Input register

文 献

1. 高橋, 後藤; “試作10進加減乗算機について” パラメトロンの研究 P 129
2. 但田, 溝口; 10進パラメトロン電子計算機
昭和 38 年 3 月, 卒業研究論文



付録図-4 Multiplicand Register

